(19)日本国特許庁（ＪＰ）　(12)**公表特許公報（Ａ）**　(11)特許出願公表番号

特表平9－505450

(43)公表日　平成９年(1997)５月27日

(51)Int.Cl.[6]		識別記号	庁内整理番号	ＦＩ	
Ｈ０３Ｆ	3/62		7739－5Ｊ	Ｈ０３Ｆ	3/62
Ｈ０４Ｂ	1/40		4229－5Ｊ	Ｈ０４Ｂ	1/40
	3/36		4229－5Ｊ		3/36

審査請求　未請求　予備審査請求　有　（全 27 頁）

(21)出願番号　特願平7－514109
(86)(22)出願日　平成６年(1994)11月16日
(85)翻訳文提出日　平成８年(1996)５月15日
(86)国際出願番号　ＰＣＴ／ＡＵ９４／００７０４
(87)国際公開番号　ＷＯ９５／１４３３１
(87)国際公開日　平成７年(1995)５月26日
(31)優先権主張番号　ＰＭ２４４５
(32)優先日　1993年11月16日
(33)優先権主張国　オーストラリア（ＡＵ）

(71)出願人　コモンウェルス・サイエンティフィック・アンド・インダストリアル・リサーチ・オーガニゼイション
オーストラリア連邦2601オーストラリアン・キャピタル・テリトリー、キャンベル、ライムストーン・アベニュー（番地の表示なし）
(72)発明者　パチェラー、ロバート・アレクサンダー
オーストラリア連邦2075ニュー・サウス・ウェールズ、セント・アイヴズ、リンパラ・アベニュー　22番
(74)代理人　弁理士　青山　葆　（外２名）

最終頁に続く

(54)【発明の名称】　双方向性増幅器

(57)【要約】
各ポートが入力としても出力としても機能することができる第１および第２の２端子ポート（Ｐ１，Ｐ２）を双方向性増幅器が備えている。電界効果型トランジスタ（ＦＴ１）はゲート接地の接続構成であって、前記各ポート（Ｐ１，Ｐ２）における共通の（すなわち接地された）端子（Ｔ２，Ｔ４）が前記トランジスタ（ＦＴ１）のゲート（Ｇ）に少なくとも交流的に接続され、かつ、前記トランジスタ（ＦＴ１）のソース（Ｓ）とドレイン（Ｄ）がインピーダンス整合素子（Ｎ１，Ｌ１，Ｎ３，Ｌ３）を介して前記ポート（Ｐ１，Ｐ２）の他の端子（Ｔ１，Ｔ３）のうちの対応する一つの端子にそれぞれ接続されている。

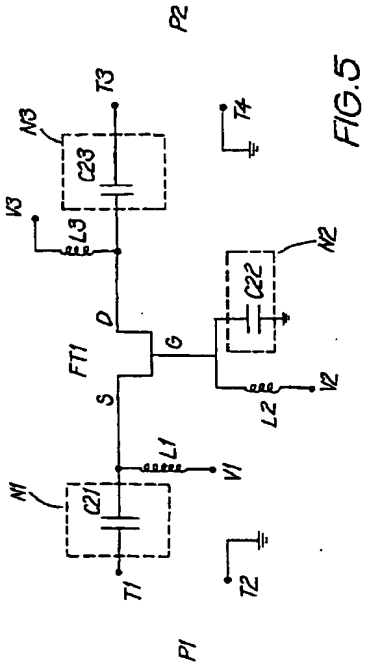

FIG.5

【特許請求の範囲】

1．各ポートが入力としても出力としても機能することができる第1および第2の2端子ポートを有する双方向性増幅器において、

電界効果型トランジスタがゲート接地の構成となるように接続されていて、前記各ポートの第1端子が前記トランジスタのゲートに少なくとも交流的に接続され、かつ、前記トランジスタのソースとドレインがインピーダンス整合素子を介して前記ポートの他の端子のうちの対応する一つの端子にそれぞれ接続されている双方向性増幅器。

2．請求項1に記載の双方向性増幅器において、前記電界効果型トランジスタが複数のゲートを有している双方向性増幅器。

3．請求項2に記載の双方向性増幅器において、前記複数のゲートが前記ゲートと追加ゲートを含み、該追加ゲートに利得制御電圧が供給されている双方向性増幅器。

4．先行する請求項のいずれかに記載の双方向性増幅器において、前記ゲートに対して負帰還が行われている双方向性増幅器。

5．先行する請求項のいずれかに記載の双方向性増幅器において、前記インピーダンス整合素子の構成が対称性を有している双方向性増幅器。

6．先行する請求項のいずれかに記載の双方向性増幅器において、前記トランジスタが、縦続接続された2個以上の電界効果型トランジスタによって置き換えられた双方向性増幅器。

7．先行する請求項のいずれかに記載の双方向性増幅器において、前記トランジスタが、並列に接続された2個以上の電界効果型トランジスタによって置き換えられた双方向性増幅器。

8．請求項6または7に記載の双方向性増幅器において、前記トランジスタのうち少なくとも2個のトランジスタが、接地されたスタブを含む伝送線路網によって互いに接続されている双方方向性増幅器。

9．先行する請求項のいずれかに記載の双方向性増幅器において、前記または各

電界効果型トランジスタのゲート端子に対して容量性の帰還が行われている双方

向性増幅器。

１０．先行する請求項のいずれかに記載の双方向性増幅器において、前記または各トランジスタが、５０ないし１５０ミクロンの厚みを有する半絶縁性のＧａＡｓ基板上でマイクロ・ストリップを用いて実現されている双方向性増幅器。

１１．先行する請求項のいずれかに記載の双方向性増幅器において、ＤＣバイアス電圧を前記または各ゲート端子に与えるために、１／４波長の伝送線路が前記または各トランジスタのゲートに直列に接続されている双方向性増幅器。

１２．請求項１ないし１１のいずれか一つの請求項に記載の双方向性増幅器を組み込んだトランシーバ。

１３．請求項１ないし１１のいずれか一つの請求項に記載の双方向性増幅器を含む中継器。

【発明の詳細な説明】

双方向性増幅器

〈技術分野〉

本発明は、双方向性増幅器、双方向性増幅器を組み込んだトランシーバ、および、情報の双方向転送を行う他のシステムに関する。

〈背景技術〉

従来のトランシーバは、通常、送信用と受信用という独立した二つの増幅パス(amplifying path)を有している。各増幅パスは、例えば、中間周波増幅器だけでなく無線周波増幅器を含み、したがって、トランシーバは少なくとも4個の増幅器を備える必要がある。もし、これらの増幅器に双方向性を持たせることができれば、トランシーバの複雑さをかなり除去することができるであろう。

種々の電界効果型トランジスタ（以下、これは電界効果トランジスタすなわちＦＥＴの包括的なクラス識別子によって識別される）が知られており、その中には接合型ＦＥＴ、ＭＥＳＦＥＴ、ＭＯＳＦＥＴ、ＨＥＭＴ（高電子移動度トランジスタ）および弾動トランジスタ(ballisitic transistor)が含まれる。これらの素子の全ては、ソースおよびドレインを挿入することが理論的に可能であるため、理論上は本来的に対称性を有するものである。しかし、実際問題として、このような素子は、特定の特性を得ることができるようにするために対称性を有する幾何学的形状に製造されることはない。また、このようなＦＥＴのソース端子は、通常、接地されており、これにより、また、ＦＥＴの理論上の本来的な対称性を見す過ごしがちとなる。さらに、このような素子は増幅器としてゲート接地構成で使用されることはほとんどない。そのような構成は潜在的に不安定だからである。実際、この構成の潜在的な不安定性のため、ＦＥＴ素子は、通常、発振器としてゲート接地で使用されるのみである。

双方向性増幅器を従来技術により実現した二つの例を図3および図4を参照しつつ以下に説明する。第1の例は、二者択一的な二つの信号経路を与えるために

対になって動作する4個のステアリング素子(steering devices)を使用し、二つの信号経路のそれぞれは一つの単方向性増幅器を通過する。しかし、このような

ステアリング素子は、電力損失が大きくて効率が悪く、インピーダンス整合にも問題がある。第２の例は、信号を制御して２個の単方向性増幅器のうち選択された一つの増幅器を通過させるように動作する２個のスイッチを使用している。このようなスイッチも、また極めて電力損失が大きい。

〈発明の開示〉

本発明の第１の態様として、各ポートが入力としても出力としても機能することができる第１および第２の２端子ポートを有する双方向性増幅器であって、電界効果型トランジスタがゲート接地の構成となるように接続されていて、前記各ポートの第１端子が前記トランジスタのゲートに少なくとも交流的に接続され、かつ、前記トランジスタのソースとドレインがインピーダンス整合素子を介して前記ポートの他の端子のうちの対応する一つの端子にそれぞれ接続されている双方向性増幅器を開示する。好ましくは、上記ゲートに負帰還を与える。

好ましくは、上記インピーダンス整合素子の構成(arrangement)に対称性を持たせる。

所望に応じて、２個以上の電界効果型トランジスタを縦続接続および／または並列接続してもよい。

本発明の第２の態様として、上述の双方向性増幅器を組み込んだトランシーバをも開示する。

〈図面の簡単な説明〉

次に、図面を参照しつつ本発明の実施形態を説明する。この図面において、

図１は、単方向性増幅器を利用した従来のトランシーバを示す略回路図である。

図２は、双方向性増幅器を組み込んだトランシーバを示す略ブロック図である。

図３は、１個の単方向性増幅器を利用して双方向性増幅器を実現する方法の一従来例を示す略図である。

図４は、２個の単方向性増幅器を利用して実現された従来の双方向性増幅器の他の形態を示す略図である。

図５は、第１の実施形態の双方向性増幅回路を示す略回路図である。

図６は、第２の実施形態の双方向性増幅器を示す略図である。

図７は、２個の双方向性増幅器を組み込んだ双方向性トランシーバを示す略図である。

図８は、双方向性増幅器を組み込んだ中継器を示す。

図９は、デュアルゲートＦＥＴを組み込んだ双方向性増幅器を示す略図である。

図１０は、図６の回路におけるバイアス電圧を制御するためのバイアス切換回路網を示す。

図１１ないし図１４は、上述の実施形態において使用されるＦＥＴ素子のメタライゼーション・パターン(metallisation pattern)を示す各平面図である。

〈発明の実施の形態〉

以下に述べる本発明の実施形態の中には３端子素子を使用するものがあるが、使用されるこのタイプの素子は、３端子よりも多くの端子を備えた能動素子、特に、ソース端子とドレイン端子と２以上のゲート端子とを備えた能動素子へと容易に拡張することができる（図９参照）。この素子は対称性が維持され、双方向の動作が可能となっている。複数ゲート素子を使用することによる利点は次の通りである。すなわち、一つまたは複数のゲート端子に印加する電圧を変えることにより増幅回路の利得を電気的に制御できること、および、ソース端子に最も近いゲートとドレイン電極との間の帰還容量の低減により単一素子で実現した場合の回路の安定性を向上させることである。

図１に見られるように、従来のトランシーバは、独立した受信側増幅パス（復調器ＤＥＭを含む）および独立した送信側増幅パス（変調器ＭＯＤを含む）を必要とし、したがって、独立したＲＦ受信側増幅器、独立したＩＦ受信側増幅器、独立したＲＦ送信側増幅器、および独立したＩＦ送信側増幅器を備える必要がある。従来のトランシーバのこの例における独立した増幅パスは、半２重動作となるようにスイッチＳによってアンテナに接続される。その結果、どの時点においてもトランシーバ回路の半分のみが使用される。多くのトランシーバでは、遊んでいる回路のパスは、使用中のパスと機能的に同一である。

図２は、送信側および受信側増幅パスが結合されることにより全ての構成要素が常に使用中となる双方向性増幅器を利用したトランシーバを示している。しかも、図１のフロントエンド・スイッチＳを除去することにより受信感度および送信電力の双方を増大させている。

したがって、トランシーバにおいて双方向性増幅器の利用によって得られる潜在的利点は、次の通りである。

（ａ）個々の回路機能の数が１／２以下に低減する可能性があること

（ｂ）集積回路として実現した場合に使用される半導体の面積が１／２以下に低減する可能性があること

（ｃ）入力ＲＦスイッチの除去によって受信感度が向上する可能性があること

（ｄ）出力ＲＦスイッチの除去によっても送信電力が増大すること（または、これに等価なことではあるが、送信機において電力を扱う要求が低減すること）

（ｅ）集中素子(lumped element)で実現した場合において部品数が１／２以下に低減する可能性があること

図３に、単方向性増幅器Ａを使用して双方向性増幅器を実現した従来例の一つを示す。この実現には４個のステアリング素子３、４、５および６を使用する必要があり、これらは、概念的には、全波整流ブリッジのダイオードに類似している。４個のステアリング素子のうちの適当な１対の素子をオンに切り換え、残りの１対の素子をオフに切り換えることにより、単一の増幅器Ａを通過する図３の二つの矢印のうちのいずれか一つによって示される所望の信号の流れを実現することができる。従来技術により実現したこのタイプのより洗練された例は、特開昭53–127220号として1978年11月７日に公開された日本国特許出願である特願昭52–041541号の図面に示されている。このようなステアリング素子、特に非常に高い周波数で動作するステアリング素子は、非常に電力損失が大きく、したがって効率が悪い。また、インピーダンス整合にも問題がある。

図４に、２個の単方向性増幅器２を使用して双方向性増幅器を実現した他の従来例を示す。ここには２個の「連動」スイッチが設けられており、一つは入力部（出力部）に、他の一つは出力部（入力部）に配置されている。これらのスイッ

チは、信号の伝達と増幅を所望の方向にするという目的に合致した向きを有する１対の増幅器のうちの一つの増幅器へ入力信号を導くように動作する。このような従来の素子の実例が、ともにツキイ(Tsukii)らに対して発行されレイシオン社(Raytheon Company)に譲渡された米国特許第5,027,084号および第5,105,166号において見ることができる。これらのスイッチもまた、非常に電力損失が大きい。

現実の増幅素子を通過する信号の伝達および増幅の方向は全ての場合において同一であるため、上述の従来技術の構成のものは真の双方向性増幅器ではない、ということが当業者にとっては明らかであろう。

本発明の背後の基本原理を図５に示す第１の実施形態において説明する。ここでは、双方向性増幅器は、ソースＳ、ドレインＤおよびゲートＧを有する単一の電界効果型トランジスタＦＴ１（上述のように、この電界効果トランジスタは回路の機能を変更することなく複数ゲート電極素子で置き換えることができる）を用いて構成されている。この増幅器は、端子Ｔ１およびＴ２を有する第１ポートＰ１と、端子Ｔ３およびＴ４を有する第２ポートＰ２を備えている。端子Ｔ２およびＴ４は接地されている。この電界効果トランジスタＦＴ１は、ゲート接地の接続構成となっており、そのゲートＧは、負帰還を与えるコンデンサＣ２２（または他の回路網Ｎ２）を介して接地されている。このゲートＧにはインダクタＬ２を介してバイアス電位Ｖ２が与えられている。

ソースＳは、コンデンサＣ２１（または他の回路網Ｎ１）を介して端子Ｔ１に接続され、インダクタＬ１を介してＤＣバイアス（直流バイアス）Ｖ１が供給される。同様に、ドレインＤは、コンデンサＣ２３（または他の回路網Ｎ３）を介して端子Ｔ３に接続されるとともに、インダクタＬ３を介してバイアス電圧Ｖ３が供給される。

好ましくは、Ｌ１、Ｃ２１（Ｎ１）およびＬ３、Ｃ２３（Ｎ３）に対する部品の値を選んで、入力ポートＰ１および出力ポートＰ２と電界効果型トランジスタＦＴ１との間のインピーダンス整合を実現する。コンデンサＣ２１およびＣ２３を、図５において点線で示されている整合回路網Ｎ１およびＮ３によってそれぞれ置き換えることができる。整合回路網Ｎ１およびＮ３は、同一か、または、増

幅の方向の変化に応じて互いに取り替えられるように切り換えが可能となっている。同様に、帰還用コンデンサＣ２２は、図５において同じように点線で示された帰還回路網Ｎ２によって置き換えることができる。

左から右へ向かう方向に増幅するために、すなわち、ポートＰ１が入力を構成し、ポートＰ２が出力を構成するようにするために、電圧Ｖ１は好ましくは負の電位に設定され、電圧Ｖ３は正の電位に設定され、電圧Ｖ２は、これら二つの電圧の間の電圧、好ましくは零すなわち接地電位に設定される。したがって、電流はドレインからソースへ流れ、端子Ｔ１とＴ２の間に印加される入力信号は、増幅されて端子Ｔ３とＴ４の間の出力に現れる。

電圧Ｖ２を維持しつつ電圧Ｖ１を正の電位に切り換えるとともに電圧Ｖ３を負の電位に切り換えることにより、増幅を反対方向に行わせるようにすることができる。これにより、トランジスタＦＴ１における電流の流れが逆になり、増幅の方向も逆になる。

ソースが互いに接続され、ドレインが互いに接続され、ゲートが互いに接続されるように二つの電界効果トランジスタを並列に接続することにより、トランジスタＦＴ１の電流を扱う能力を増大させることができる、ということが当業者にとっては明らかであろう。電流および信号増幅の方向が同一素子を通過しつつ逆になるという点で、この電界効果トランジスタＦＴ１は真の双方向性増幅器として動作する、ということも当業者にとっては明らかであろう。

上記説明において電界効果型トランジスタはソース端子とドレイン端子を有すると述べられているが、これらの端子は全く等価であるため、これらの端子のそれぞれを非ゲート端子と呼ぶ方が一貫性があるであろう。

次に図６に目を向けると、マイクロ・ストリップが形成された50～150ミクロンの範囲の厚みを持つ半絶縁性のＧａＡｓ基板で実現された高電子移動度電界効果型トランジスタ（ＨＥＭＴ）を２個縦続接続して構成され、40～100ＧＨｚの周波数範囲において５ＧＨｚの帯域幅を有するように設計された双方向性増幅器が、この図面に示されている。マイクロ・ストリップ伝送線路素子は、この回路素子の分布定数的性質を表すために、長さの短い「円筒状ケーブル」として示されて

いる。さらに、後で論じられる特定の目的を有する種々のスタブ伝送線路(stub transmission lines)が示されている。

トランジスタＦＴ１およびＦＴ２（この場合も複数ゲート電極素子を代わりに用いることができる）のそれぞれは、コンデンサＣ４およびＣ９をそれぞれ介して接地される（これは、図５に示したフィードバック回路網Ｎ２の実現例を表している）とともに設計中心周波数での１／４波長の長さの伝送線路（これは図５に示したインダクタＬ２に等価である）に接続されたゲートＧ１およびＧ２をそれぞれ有している。これらの伝送線路は、また、ＤＣバイアス電圧V_{g1}およびV_{g2}をそれぞれゲート端子Ｇ１およびＧ２に与えるために使用される。この１／４波長の伝送路は、抵抗Ｒ２およびコンデンサＣ５，Ｃ６から成る回路網と、抵抗Ｒ３およびコンデンサＣ８，Ｃ７から成る回路網とをそれぞれ介する側路によっても接地されている。これらの回路網は、帯域内の周波数においてスタブを短絡し、それと同時に、設計範囲よりも十分に低い周波数おいて小さい抵抗値でこの素子を終端することにより回路を低い周波数において安定化させる。

トランジスタＦＴ１のドレインＤ１は、接地されたスタブを含む対称な段間伝送線路網によってトランジスタＦＴ２のソースＳ２に接続されている。この回路網は、二つの段の間のインピーダンス変換を行うだけでなく、ドレインＤ１およびソースＳ２へのＤＣ接地電位の供給をも行う。これにより、これらのトランジスタのバイアスの切り換えに対してＤＣ基準点が与えられる。ＨＥＭＴ素子ＦＴ１およびＦＴ２がドレインとソースの間への正および負の対称的な供給電圧(supply voltage)でバイアスされるときには、供給電圧の極性を逆にすることにより逆の回路動作が実現される。

図６から明らかなように、ソースＳ１はバイアス電圧Ｖ１が与えられ、ドレインＤ２はバイアス電圧Ｖ２が与えられる。これらの各電圧は、対応するインダクタＬ２１およびＬ２２をそれぞれ介して、対応するダイオードＤＤ１およびＤＤ２にそれぞれ印加される。ダイオードＤＤ１およびＤＤ'２は、対応するコンデンサＣ３およびＣ１０を介して、増幅器が動作する方向に応じてスタブを調整して開放回路または短絡回路として動作可能なスタブ伝送線路に更に接続されている。

開放回路と短絡回路との間の切り換えは、同一のダイオードＤＤ１およびＤＤ２を用いて行われる。これらのダイオードの一つは、短絡されたスタブを生成するために出力回路において順方向にバイアスされ、一方、他のダイオードは、開放されたスタブを生成するために入力回路において逆方向にバイアスされる。

ダイオードのバイアスは、増幅の方向を変えるために電源の極性を反転させると都合よく切り換わる。その結果、入力および出力における伝送線路の位相幾何学的構造は同一であるが、使用においては、直列接続または縦続接続されたＨＥＭＴ素子に与えられる、ソースおよび負荷インピーダンスには、重大な相違がある。ダイオードＤＤ１およびＤＤ２により、増幅の方向が反転するときインピーダンス整合回路網を互いに代替できるようになっている。代表的な電圧は、Ｖ１＝－３または＋３ボルト、Ｖg1＝－3.5ボルト（または－0.5ボルト）、Ｖg2＝－0.5ボルト（または－3.5ボルト）およびＶ２＝＋３または－３ボルトである。

この出力回路および入力回路の巧妙な取り扱いにより、各選択方向の動作において、高い利得が得られ、入力／出力のＶＳＷＲ（電圧定在波比）が小さくなり、雑音が低減されるという点で、極めて望ましい性能が達成される。

上述の回路で達成可能な入力／出力回路の対称性に加えて、ゲートの接地されたＨＥＭＴ素子は本来的に不安定であるにもかかわらず回路の安定化をも達成することができる。ここでの不安定性は、この素子の出力すなわちドレインの端子が入力側ソースのインピーダンスの広い範囲にわたって外部回路に対し負のインピーダンスを示すために生じるものである。

図６の回路において、なお有用な順方向利得を維持しつつ回路を安定化するために二つの手法が用いられている。ここにいう手法とは、利得素子(gain element)としての１対のＨＥＭＴ素子を直列接続または縦続接続すること、および、各ＨＥＭＴ素子のゲート端子に対し容量性の帰還を行っていることである。ゲート回路における容量性の帰還は、ＨＥＭＴ出力回路の負抵抗動作を抑制または解消するのに役立つ。なお、容量性の帰還は回路の総合利得を低下させる。二つのＨＥＭＴ素子を縦続接続し、同一の容量性帰還路を有するゲート接地の構成として、一方の素子のドレインが適切で対称性を有するインピーダンス変換回路網によっ

て他方の素子のソースに結合されるようにすることにより、回路の高い安定性と順方向の高い利得とを同時に達成することが可能となっている。

この成果は、負帰還と段間のインピーダンス変換とによって、直列接続または縦続接続された第２のＨＥＭ素子に或るインピーダンスが提供可能となるために達成可能となるものであって、この直列接続または縦続接続により、その出力インピーダンスが広い周波数範囲にわたって正の値となり、縦続接続された即ち結合されたＨＥＭＴ素子の入力端子におけるソースのインピーダンスが広範囲にわたって正となる。

図７は、上述のタイプの二つの双方向性増幅器を組み込んだトランシーバ１０を示している。また、このトランシーバは、局部発振器１４に接続されたアップ／ダウン型周波数変換ミクサ(up/down converting mixer)１２、並びに、信号の変調および復調と信号処理とを実行するように構成された従来型の電子回路１５を備えている。第１の双方向性増幅器１６はＲＦ増幅器であって、ミクサ１２とアンテナ１８との間に配置されている。第２の双方向性増幅器２０はＩＦ増幅器であって、ミクサ１２と電子回路１５との間に配置されている。電子回路１５は、２２で示されているように、例えばアンテナ（図示せず）から及びデータ端末（図示せず）へ、データの受信および送信を行う。

また既述のタイプの双方向性増幅器には、時分割二重通信システムにおける中継器としての用途がある。このシステムにおいて、このような中継器は、例えば中波および短波のパーソナル通信網(personal communications networks)の範囲を拡張するであろう。

図８は、双方向性増幅器２６を備える中継器２４を示す図である。この双方向性増幅器２６は二つのアンテナ２８の間に接続されており、これらのアンテナ２８は結合器３０によって方向切換制御部３２に接続され、この方向切換制御部３２が３４で双方向性増幅器２６に接続されている。

図９は、デュアルゲートＦＥＴ ＦＴ４を組み込めるように図５の回路を改造する方法を示す図である。ゲート回路のコンデンサＣ３３とＣ３４は同一のコンデンサであって、インダクタＬ３３とＬ３４も同一のインダクタであり、これら

のインダクタには、ＤＣのゲート･バイアス電圧Ｖg1とＶg2が供給される。コンデンサＣ３３およびＣ３４は、デュアルゲートＦＥＴ　ＦＴ４の二つのゲートＧ３およびＧ４にそれぞれ接続されている。図９の回路におけるコンデンサＣ３１、Ｃ３２、Ｃ３３およびＣ３４は、それぞれ、適切な整合回路網Ｎ３１、Ｎ３２、Ｎ３３およびＮ３４で代替可能である。

コンデンサＣ３１およびＣ３２（または整合回路網Ｎ３１およびＮ３２）は同一のものである（または、方向の変更に応じて交換できるようになっている）。

左から右すなわちＰ１からＰ２へ増幅するときの代表的な供給電圧は、Ｖ１＝０ボルト、Ｖ２＝＋３ボルト、Ｖg1＝−0.5ボルトであって、Ｖg2は−0.5ボルトと＋１ボルトの間の可変値である。第２のゲートＧ４の電圧を変えると、周波数応答に重要な変化が生じることなく、増幅器の利得が変化する。

右から左すなわちＰ２からＰ１へ増幅するときの代表的な供給電圧は、Ｖ１＝＋３ボルト、Ｖ２＝０ボルト、Ｖg2＝−0.5ボルトであって、Ｖg1は−0.5ボルトと＋１ボルトの間の可変値である。ここでも、Ｖg1を変えることによって増幅器の利得が制御される。

図１０は、図６の回路におけるＤＣバイアス電圧Ｖ１、Ｖ２、Ｖg1およびＶg2を制御するためのバイアス切換回路網４０を示している。この切換回路網４０は、（点４６における）正の供給電圧１２ボルトから（点４４における）調整された出力電圧＋３ボルトを得るために正電圧調整器４２を使用している。さらに、３個の負電圧調整器４８、５０および５２により、点６０における−12ボルトの供給電圧から、調整された出力電圧－3.5ボルト、－３ボルトおよび−0.5ボルトが点５４、５６および５８においてそれぞれ得られる。４個の単極双投スイッチ６２、６４、６６および６８は、機械的または電気的に作動させることができ、図１０に示すように配置されていて、連動するよう、点線７０で示すように連結されている。左から右すなわちＰ１からＰ２へ増幅するときの代表的なバイアス電圧は、Ｖ１＝－３ボルト、Ｖ２＝＋３ボルト、Ｖg1＝−3.5ボルト、Ｖg2＝−0.5ボルトである。右から左すなわちＰ２からＰ１へ増幅するときの代表的なバイアス電圧は、Ｖ１＝＋３ボルト、Ｖ２＝－３ボルト、Ｖg1＝−0.5ボルト、Ｖg2＝−3.5

ボルトである。

図１１～図１４は、本発明の実施に用いられる単一ゲートＦＥＴの構成を示している。双方向性増幅器用の理想的なＦＥＴの構成は、ゲートに関して対称的である。このような対称的な構造により、入力回路／出力回路へのソース端子／ドレイン端子のインライン接続(in-line connection)が可能となり、ソース電極およびドレイン電極における寄生アクセス抵抗(parasitic access resistances)が等しくなる。最も簡単な幾何学的構成(geometry)は、図１１に示す通りであって、ゲートが接続されたゲート導体パッド８２に接続されている単一のゲート電極８１について、ソースおよびドレインの電極８０（両電極はソースとしてもドレインとしても動作することができる）が対称的であることを示している。図１２は、ゲート電極８３が二つの端子８４に接続されている、すなわちゲート電極８３の両端に一つずつ端子が接続されているという点で図１１の幾何学的構成とは異なる第２の幾何学的構成を示している。この構成は、各端子を同一の回路網を介して接地することにより、ゲート抵抗の低減を可能とする。二つ以上のゲート・フィンガ(gate finger)８９の接続による更なるゲート抵抗の低減を、図１３および図１４に示す幾何学的構成と同様の幾何学的構成を採用することによって達成することができる。これらの図において、ドレインおよびソースはここでも符号８０で示されており、ゲート接点(gate contact)が符号８６で示され、ブリッジ接続が符号８８で示されている。

ゲート接地の動作において、単一ゲートＦＥＴの出力インピーダンスは、その種々の等価回路素子の大きさによっては負になることがある。ゲート接地動作用の単一ゲートＦＥＴでは、出力抵抗を非負とすることによりその素子を安定にするように、そのＦＥＴの等価回路素子（特にドレインとソースの間の容量）が構成されている。本質的に安定な素子を得るための他の方法は、一つ以上のゲート電極を付加してその素子の等価回路を修正するという方法である。

以上では、本発明の所定の実施形態のみが説明されているが、当業者にとっては明白な修正を本発明の範囲を逸脱することなくそれらの実施形態に対して行うことができる。

これら種々の伝送線路の長さは、前記二つの伝送線路のようにほぼλ／４とする以外に、好ましくは、最適なインピーダンス整合および順方向利得応答(forward gain response)が得られるように最適化される。

各方向において同じような順方向利得を達成するためには伝送線路が対称性を有することが望ましいが、二つのＦＥＴが同一である必要はない。例えば、電力用素子と低雑音素子とを使用してもよい。しかし、中継器のように両方向における対称的な動作(performance)を必要とする用途では、能動素子（例えばＦＥＴ）を対称的な構成とするのが望ましい。

詳細に説明された上記実施形態は縦続接続された二つの素子を備えているが、本発明は多段増幅にも適用可能であり、したがって増幅器を３段もしくは４段またはそれ以上の段数とすることもできる。

【図１】

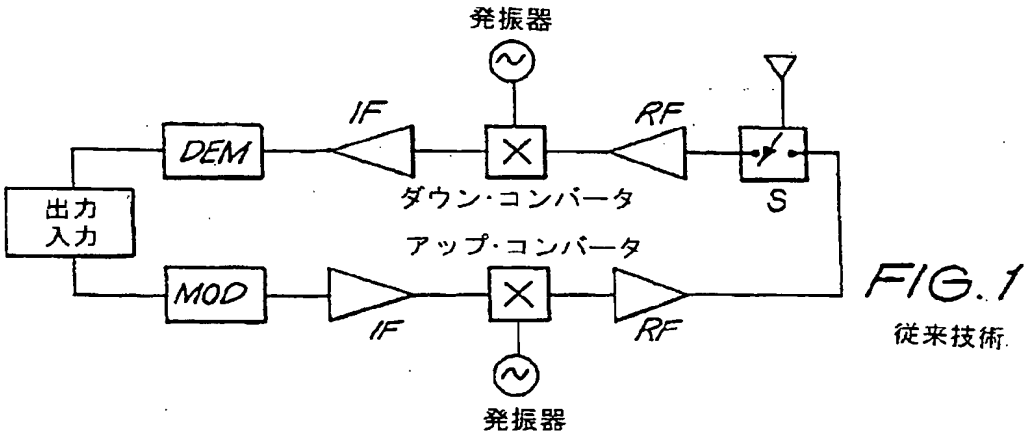

FIG.1
従来技術

【図２】

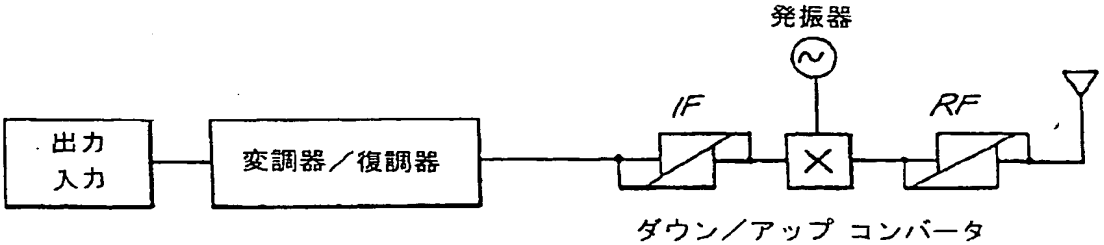

FIG.2

【図３】

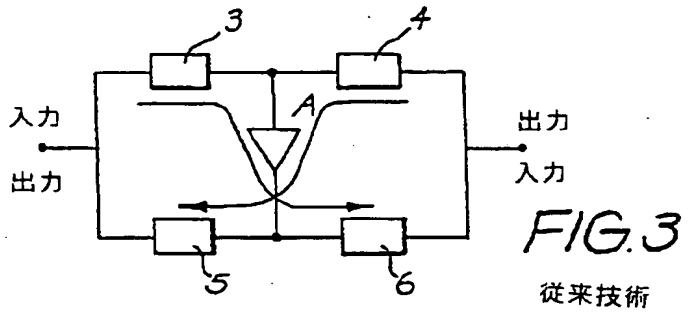

FIG.3
従来技術

【図４】

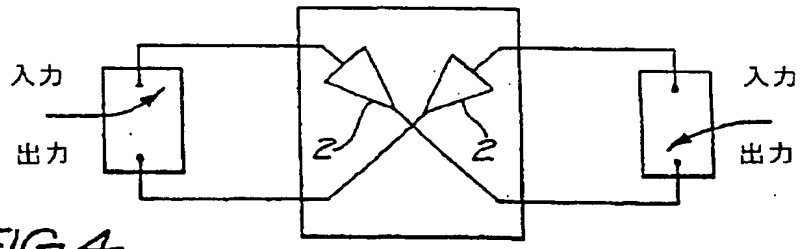

FIG.4
従来技術

【図５】

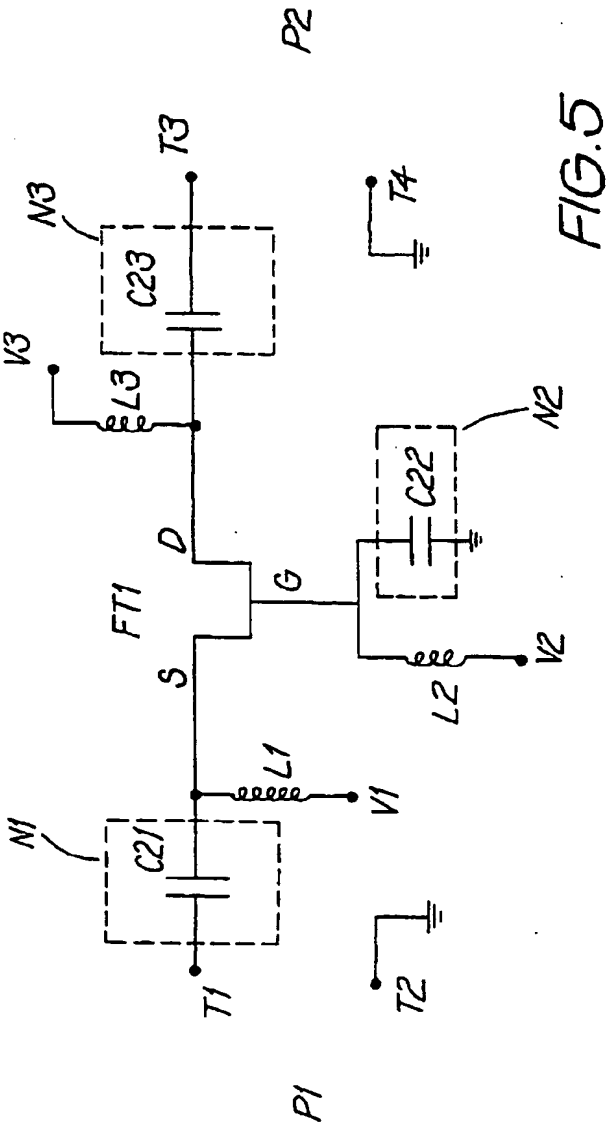

FIG.5

【図6】

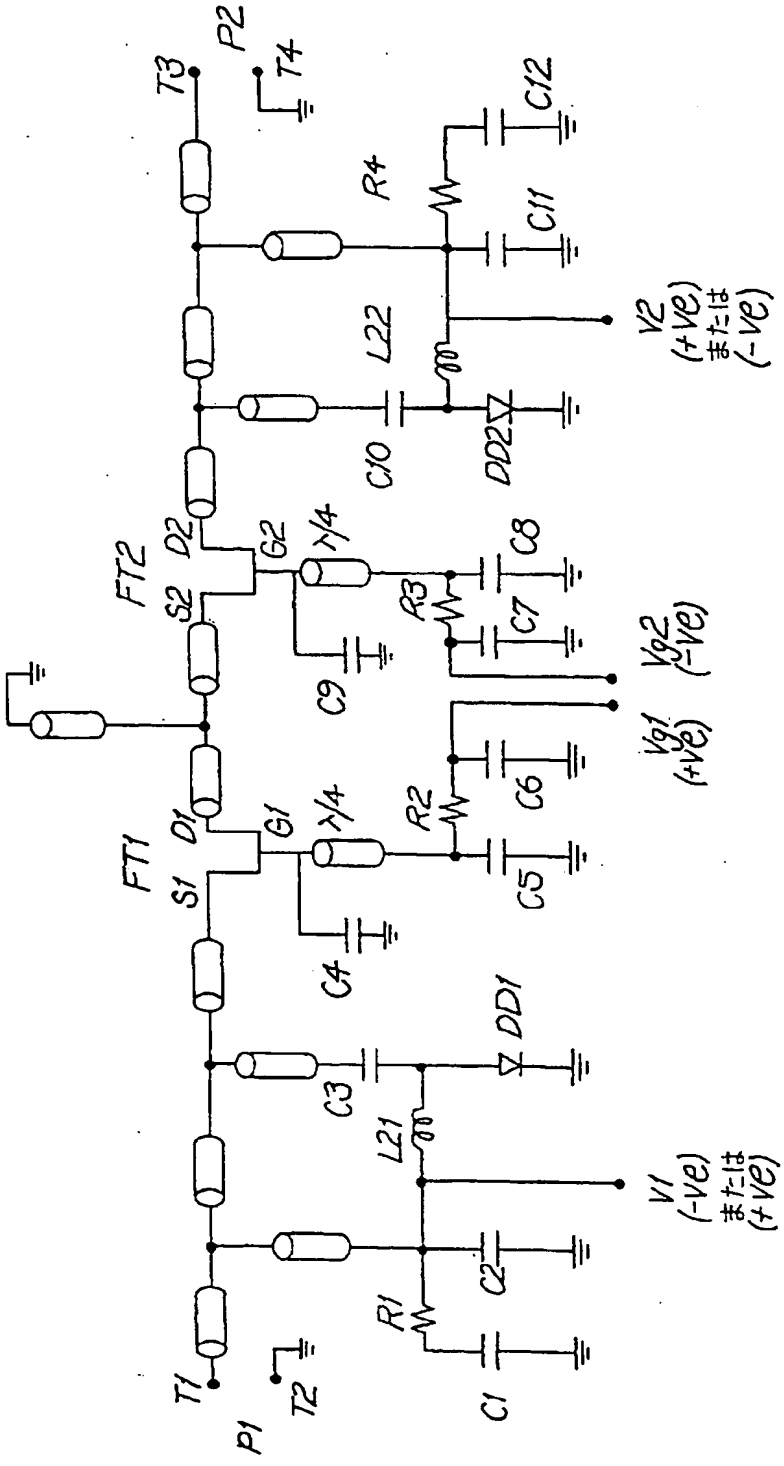
T3
P2
T4
C12
R4
C11
V2
(+Ve)
または
(-Ve)
L22
C10
DD2
D2
G2
λ/4
C8
FT2
S2
R3
C7
C9
Vg2
(-Ve)
Vg1
(+Ve)
D1
G1
λ/4
R2
C6
FT1
S1
C5
C4
DD1
C3
L21
V1
(-Ve)
または
(+Ve)
C2
R1
C1
T1
T2
P1

FIG.6

【図７】

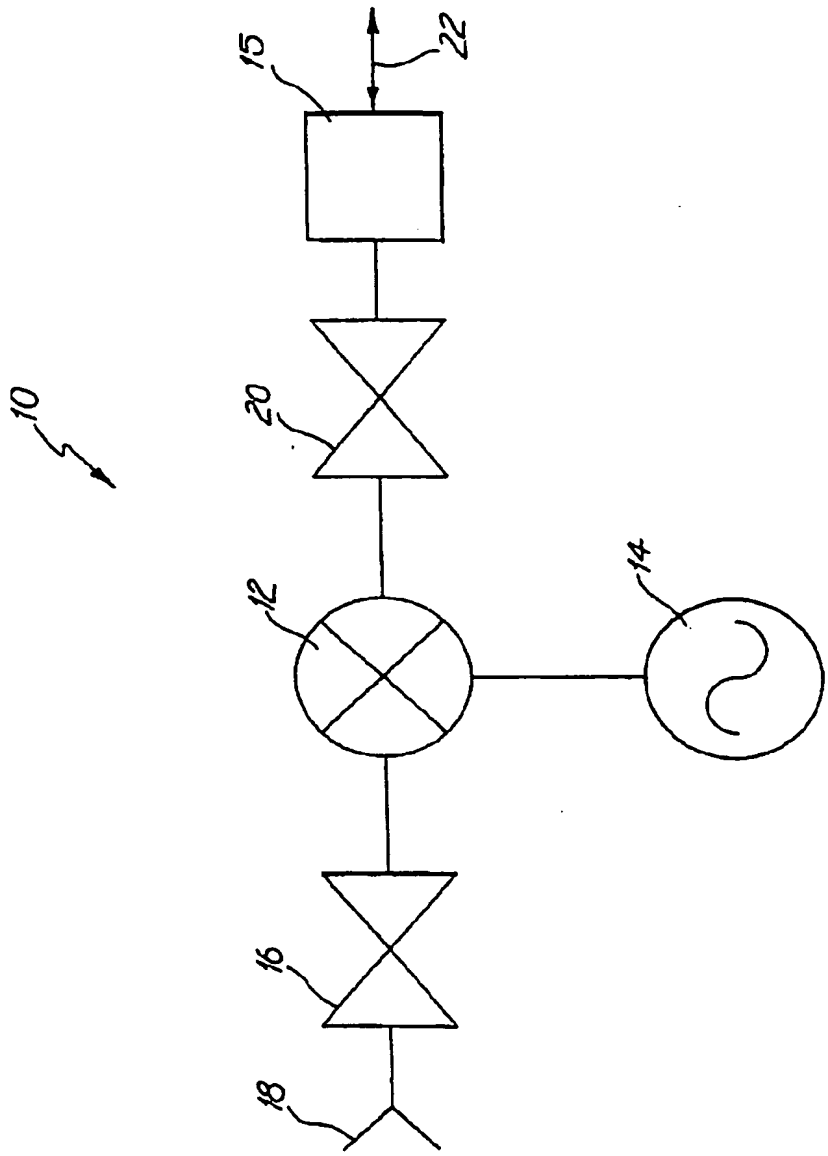

FIG. 7

【図８】

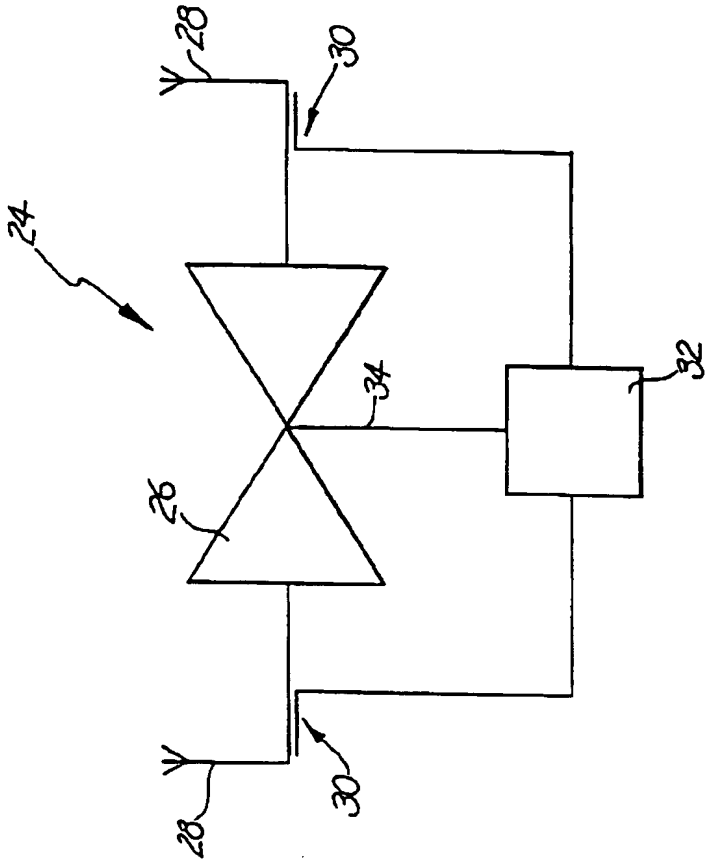

FIG.8

【図９】

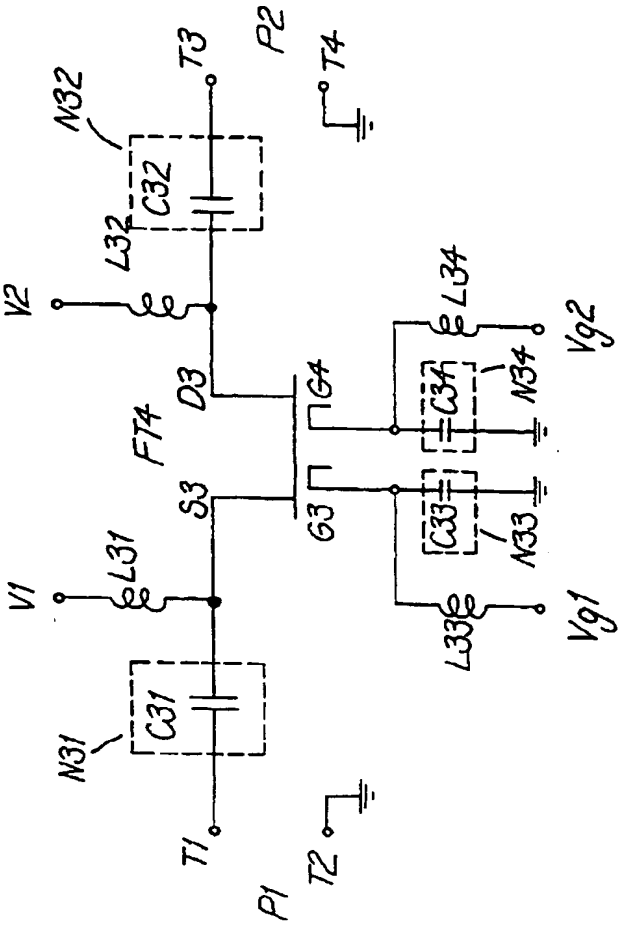
V1
V2
L31
L32
L33
L34
C31
C32
C33
C34
N31
N32
N33
N34
T1
T2
T3
T4
P1
P2
S3
D3
G3
G4
FT4
Vg1
Vg2

FIG.9

【図１０】

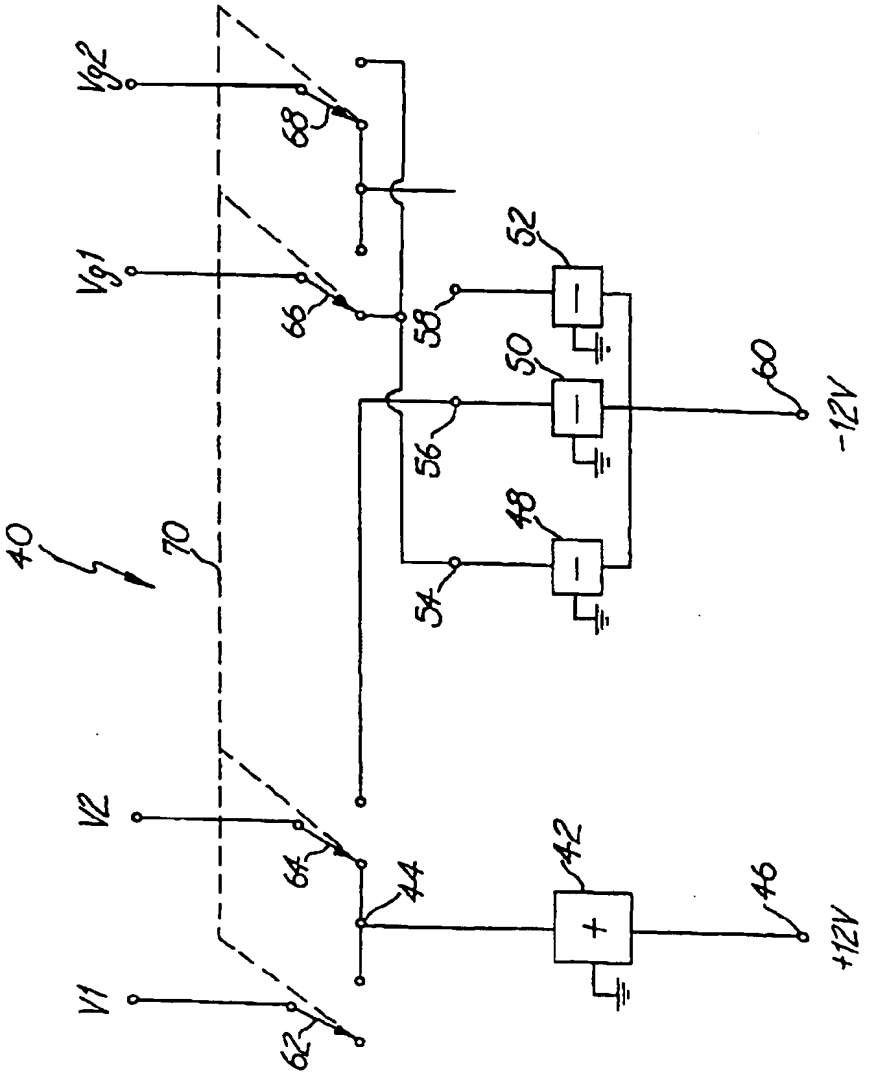

FIG.10

【図１１】

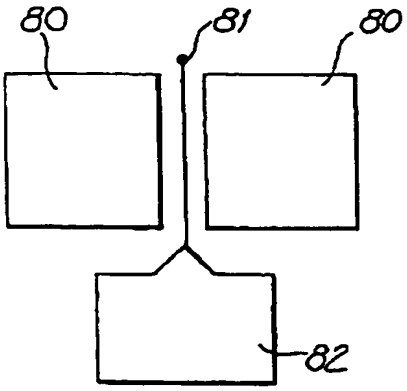

FIG.11

【図１２】

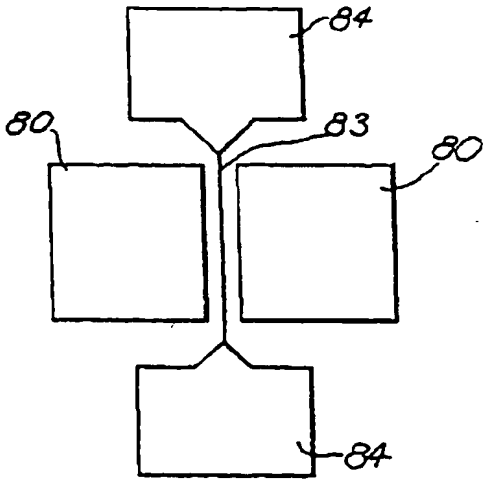

FIG.12

【図１３】

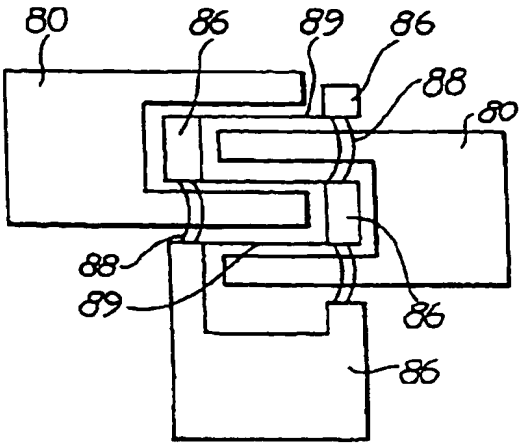

FIG. 13

【図１４】

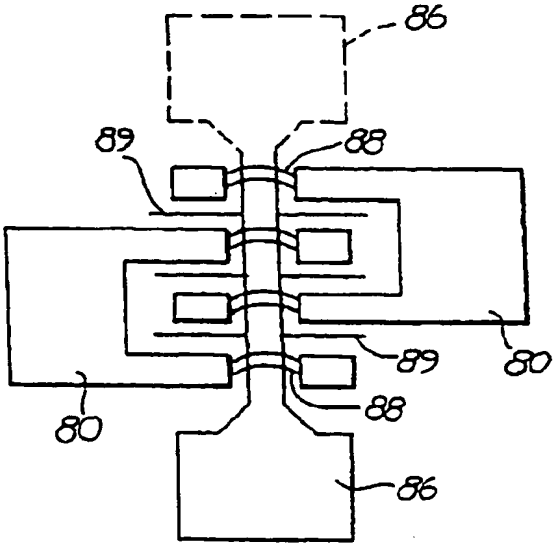

FIG. 14

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/AU 94/00704

A. CLASSIFICATION OF SUBJECT MATTER
Int. Cl.[6] H03F 3/62; H04B 1/38, 3/36.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC H03F 3/62; H04B 1/38, 3/36

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
AU: IPC as above

Electronic data base consulted during the international search (name of data base, and where practicable, search terms used)
DERWENT: FET, Field, Bidirection
JAPIO

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to Claim No.
A	US,A, 5084637 (GREGOR) 28 January 1992 (28.01.92) Whole document	
A	EP,A, 430509 (RAYTHEON COMPANY) 5 June 1991 (05.06.91) Whole document	
A	Derwent Abstract Accession No. 85-010624/02, Class U24, SU,A, 1092704 (NIKITEN VE) 15 May 1994 (15.05.94) Abstract/figure	

[X] Further documents are listed in the continuation of Box C.

[ ] See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle of theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
24 January 1995 (24.01.95)	10 Feb 1995 (10.02.95)
Name and mailing address of the ISA/AU AUSTRALIAN INDUSTRIAL PROPERTY ORGANISATION PO BOX 200 WODEN ACT 2606 AUSTRALIA Facsimile No. 06 2853929	Authorized officer S. KAUL Telephone No. (06) 2832182

Form PCT/ISA/210 (continuation of first sheet (2)) (July 1992) copyus

INTERNATIONAL SEARCH REPORT

International application No.
PCT/AU 94/00704

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate of the relevant passages	Relevant to Claim No.
A	Derwent Abstract Accession No. H 2261C/34. class U24. DS.A. 2917275 (SIEMENS AG) 14 August 1980 (14.08.80) Abstract/figure	
A	US,A, 3519765 (HUBER) 7 July 1970 (07.07.70) Whole document	
A	GB,A, 725232 (HAZELTINE CORPORATION) 2 March 1955 (02.03.55) Whole document	

フロントページの続き

(81)指定国 EP(AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OA(BF, BJ, CF, CG, CI, CM, GA, GN, ML, MR, NE, SN, TD, TG), AP(KE, MW, SD, SZ), AM, AT, AU, BB, BG, BR, BY, CA, CH, CN, CZ, DE, DK, EE, ES, FI, GB, GE, HU, JP, KE, KG, KP, KR, KZ, LK, LR, LT, LU, LV, MD, MG, MN, MW, NL, NO, NZ, PL, PT, RO, RU, SD, SE, SI, SK, TJ, TT, UA, US, UZ, VN

(72)発明者 アーチャー、ジョン・ウィリアム
オーストラリア連邦2120ニュー・サウス・ウェールズ、ベナント・ヒルズ、ブラックバット・アベニュー 16番